

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04080723 A**(43) Date of publication of application: **13.03.92**

(51) Int. Cl.

G02F 1/136
G09F 9/30
H01L 27/12
H01L 29/784

(21) Application number: **02193130**(22) Date of filing: **23.07.90**(71) Applicant: **TOSHIBA CORP TOSHIBA ELECTRON ENG CORP**

(72) Inventor: **NAKAYAMA MASAHIRO**
NORIYAMA HIDETAKA
FUKUI ISAO
KIBOSHI TOKIO

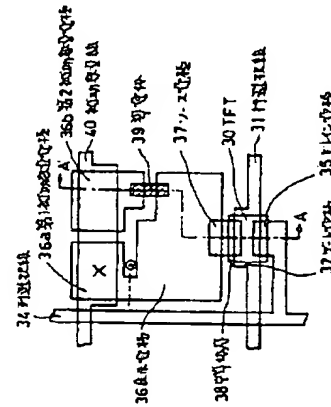
(54) **ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE**

(57) Abstract:

PURPOSE: To completely repair a picture element defect and to obtain high display quality by dividing an auxiliary capacitance electrode into a 1st auxiliary capacitance electrode which is connected to a display electrode and a 2nd auxiliary capacitance electrode which is not connected to the display electrode.

CONSTITUTION: If a short circuit is generated between the display electrode 36 and an auxiliary capacitance line 40 at a mark 'x' of an auxiliary capacitance part, laser cutting is carried out along a broken line 2 first to disconnect the 1st auxiliary capacitance electrode 36a where the defect is caused from the display electrode 36. Then a conductor 39 which is formed between the display electrode 36 and a 2nd auxiliary capacitance electrode 36b and electrically floated is bonded to respective electrodes by a laser and the display electrode 36 which is connected to a source electrode 37 and the 2nd auxiliary capacity electrode 36b which is floated from this display electrode 36 are electrically connected. At this time, the auxiliary capacitance formed by the 1st auxiliary capacitance electrode 36a which is disconnected is made equal to the auxiliary capacitance formed by the 2nd auxiliary capacitance electrode 36b which is connected. Consequently, there is no visual recognition difference from normal peripheral picture elements after the repair and the active matrix type liquid crystal display device of good display quality is obtained.

COPYRIGHT: (C)1992,JPO&Japio



Japanese Publication for Unexamined Patent Application
No. 80723/1992 (Tokukaihei 4-80723)

A. Relevance of the Above-identified Document

This document has relevance to Claims 1, 7, 11, 17, 21 and 27 of the present application.

B. Translation of the Relevant Passages of the Document

(Means to solve the problem)

The present invention relates to an active matrix liquid crystal display device which includes: an array substrate having a thin film transistor made up of a gate electrode, a gate insulating film, a semiconductor film, a source electrode and a drain electrode, a display electrode connected to the source electrode, and an auxiliary capacitance connected to the display electrode, which are disposed in a matrix on an insulating substrate in the vicinity of a crossing point of a row select line which is integrally provided with the gate electrode and a column select line which is integrally provided with the drain electrode; a counter substrate having a common electrode on an insulating substrate; and a liquid crystal sandwiched therebetween. Here, an auxiliary capacitance electrode for forming the auxiliary capacitance is divided into two: a first auxiliary capacitance electrode which is

connected to the display electrode, and a second auxiliary capacitance electrode which is not connected to the display electrode. Besides, between the display electrode and the second auxiliary capacitance electrode is formed a conductor which overlaps the both electrodes and is electrically suspended from at least one of the two electrodes.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平4-80723

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月13日

G 02 F 1/136
G 09 F 9/30

5 0 0
3 3 8

9018-2K
8621-5G
9056-4M

H 01 L 29/78

3 1 1 A※

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 アクティブマトリックス型液晶表示装置

⑮ 特 願 平2-193130

⑯ 出 願 平2(1990)7月23日

⑰ 発 明 者 中 山 正 大 神奈川県川崎市幸区堀川町72番地 東芝電子デバイスエンジニアリング株式会社内

⑱ 発 明 者 乗 山 英 孝 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

⑲ 発 明 者 福 井 功 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 出 願 人 東芝電子エンジニアリング株式会社 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁理士 則近 慈佑 外1名

最終頁に続く

明 細 書

1. 発明の名称

アクティブマトリックス型液晶表示装置

2. 特許請求の範囲

絶縁基板上にゲート電極、ゲート絶縁膜、半導体膜、ソース電極及びドレイン電極から形成される薄膜トランジスタと、前記ソース電極に接続された表示電極と、前記表示電極に接続された補助電極とが、前記ゲート電極と一体の行選択線及び前記ドレイン電極と一体の列選択線の交点付近にマトリックス状に配列してなるアレイ基板と、絶縁基板上に共通電極を形成してなる対向基板と、前記アレイ基板と前記対向基板を組み合わせて得られる空間に挟持してなる液晶とを有したアクティブマトリックス型液晶表示装置において、

前記補助電極の補助電極電極が、前記表示電極に接続された第1補助電極電極と、前記表示電極に接続されていない第2補助電極電極に分割されてなることを特徴とするアクティブマトリックス型液晶表示装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、例えば薄膜トランジスタ(TFT)をアクティブ素子として用いたアクティブマトリックス型液晶表示装置に関する。

(従来の技術)

アクティブマトリックス型液晶表示装置は、画素毎に設けられたスイッチ素子によって、表示素子アレイに画素信号を選択的に引加し液晶を準スタティック的に駆動することにより、高輝度・高コントラスト・高応答速度でクロストークのない鮮明な画象を得ようとするものである。

第2図はスイッチ素子としてTFTを用いたアクティブマトリックス型液晶表示装置の駆動原理を説明するための図である。同図において、交差する走査線1と信号線2の各交点にはTFT3を介して液晶層4と画素電極5が接続されている。そして、走査回路6は走査線1に順次ゲートパルスを印加し、それに同期して、信号ホールド回路



7は走査線1の1ライン分の画像信号を信号線2に出力する。TFT3は所定の走査線1にゲートパルスが印加されている間で導通状態となり、そのとき所定の信号線2に出力されている画像信号に応じて、画素容量5に電荷が蓄積され、液晶層4が駆動される。更に、ゲートパルスが次の走査線1に移ると、TFT3は非導通状態になり、蓄積された電荷は次に走査を受けるまで保持される結果、液晶層4の表示状態が維持される。

近年、フラットディスプレイの発展によりディスプレイ搭載装置の小形化が急速に進展してきたが、カラー化や更なる高精細化の要求から、アクティブマトリックス型液晶表示装置への期待が高まっている。しかしながら、アクティブマトリックス型液晶表示装置はその製造過程で薄膜の成長とフォトリソグラフィによる微細加工を要するため、大面積にわたって無欠陥で製造することは困難とされており、現在、主に3～5インチ級のTVパネルとして用いられているにすぎない。そこで、アクティブマトリックス型液晶表示装置の

大型化、高精細化及びその良率化のためには、生じた欠陥を後工程で補修する技術の開発が必須であり、様々な提案がなされている。その代表的な例としては、レーザーを用いた画素補修法がある。

第3図はレーザー補修を考慮したアクティブマトリックス型液晶表示装置の一画素分の一例を示す概略図であり、第3図(a)はアレイ基板上の平面図、第3図(b)は第3図(a)のB-B'面を矢印方向からみたときに相当する断面図を表している。同図に示すように、画素の各構成要素はガラス基板10上に形成されている。その一部分が補助容量電極を兼ねる表示電極11は、信号線2の長手方向に沿って分割されており、その個々にTFT3が設けられている。TFT3は走査線1と一体のゲート電極12、ゲート絶縁膜13、信号線2と一体のドレイン電極14、表示電極11に接続されたソース電極15、及び半導体層16から構成されている。2つの表示電極11の間には、ゲート絶縁膜13を介して両方の表示電極11と直接するように導電体17が形成されて

いる。また、走査線1と概略平行な方向には、補助容量線18が表示電極11と部分的にゲート絶縁膜13を介して対向するように形成されており、表示電極11と補助容量線18の重なり部分で付加的な補助容量が得られる。この補助容量は第3図における画素容量5を増加させ、保持期間でのTFT3の漏れ電流、及び表示電極11と他の電極との間の結合容量による表示電極電位の変動を緩和する重要な働きを有する。一方、ガラス基板19上には共通電極20が形成されており、液晶層4を介してガラス基板10と対向している。そして、表示電極11と共通電極20の間の電界により、所定の表示がなされる。

第3図に示した画素は、主に表示電極11・補助容量線18間のショートの問題を考慮して形成されたものである。一般に、補助容量部は非常に大きな面積を有するため、上述したショートが生じやすく、画素欠陥の原因のほとんどを占めている。第4図における画素補修法を述べると、補助容量線18上の×印部でショートが発生した場合、

まず、破線①に沿ってレーザーカットを行い、ショートした補助容量電極部を表示電極11から切り離す。次に、導電体17と表示電極11との重複部をレーザーボンディングし、両方の表示電極11を電気的に接続することで、残りの補助容量を両方の表示電極11間で共有させ、補助容量減少の形質を小さく抑えようというものである。

(発明が解決しようとする課題)

ところで、第3図に示したように、アクティブマトリックス型液晶表示装置におけるアレイ基板は電極配置が複雑で、しかも多層配線を用いているため、表示電極11とその周囲の配線との間には大きな結合容量が存在し、各配線電位の変動によりTFT3が非導通状態にあっても表示電極電位に変動が生じる。特に、ゲート電極12とソース電極15の間の結合容量は大きく、ゲート電極12とソース電極15の間の重複面積のばらつき、及びゲート絶縁膜13の膜厚ばらつきによる容量ばらつきが、表示電極電位のばらつきに直結している。この面からも、表示電極11には、一

般に大きな補助容量を設け画素容量を増加させることにより、上述したばらつきを小さく抑えることが行われている。

このような状況の下で、第3図に示した画素欠陥補修法の例は、補修実施後、画素容量が切り越した補助容量分減少するにもかかわらず、ゲート電極12・ソース電極15間容量は変化しないため、表示電極電位の変動量が周囲の正常画素より大きくなってしまい、補修画素を完全に視認されなくすることはできなかった。

この発明は、このような従来の事情に起因してなされたものである。

〔発明の概要〕

（問題を解決するための手段）

この発明は、絶縁基板上にゲート電極、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極から形成される薄型トランジスタと、ソース電極に接続された表示電極と、表示電極に接続された補助容量とが、ゲート電極と一体の行選択線及びドレイン電極と一体の列選択線の交点付近にマ

トリックス状に配置してなるアレイ基板と、絶縁基板上に共通電極を形成してなる対向基板との間に液晶を挟持してなるアクティブマトリックス型液晶表示装置についてのものである。ここで、補助容量を形成する補助容量電極は、表示電極に接続された第1補助容量電極と、表示電極に接続されていない第2補助容量電極に分割されている。更に、表示電極と第2補助容量電極の間には、両者の電極と重畳部分を有し且つ少なくとも一万の電極から電気的に浮遊された導電体が形成されている。

（作 用）

この発明では、補助容量を形成する例えば補助容量線と第1補助容量電極の間に短絡等が生じた場合に、第1補助容量電極を表示電極から切り離し、且つ上記導電体を介して表示電極と第2補助容量電極を電気的に接続する。この結果、アクティブマトリックス型液晶表示装置製造時に問題となる画素欠陥を例えばレーザーにより完全に補修することを可能としている。

（実施例）

以下、図面を参照してこの発明を詳細に説明する。

第1図はこの発明の一実施例における一画素分の一例を示す概略図であり、第1図(a)はアレイ基板上の平面図、第1図(b)は第1図(a)のA-A'面を矢印方向からみたときに相当する断面図を示している。

第1図において、TFT30は行選択線31と一体のゲート電極32、ゲート絶縁膜33、列選択線34と一体のドレイン電極35、表示電極36に接続されたソース電極37、及び半導体層38から形成されている。また、補助容量は表示電極36に一体形成された第1補助容量電極36aと、表示電極36に接続されていない第2補助容量電極36bに分割され、表示電極36と第2補助容量電極36bの間には、電気的に浮遊した導電体39が各電極に重畳するように形成されている。更に、第1及び第2補助容量電極36a、36bを隔切って概略平行な方向に、補助容量線

40が形成されている。

第1図において製造工程に従って説明すると、まず、例えばガラスからなる絶縁基板41の一面上には、例えば透光性材料であるCr膜をスパッタ法で被覆した後、所定の形状にフォトリソングすることによりゲート電極32、導電体39及び補助容量線40が形成され、更に、これを覆うように例えばSiO₂からなるゲート絶縁膜33がプラズマCVD法により形成されている。ここで、ゲート絶縁膜33が、ゲート電極32とソース電極37の間に介在する絶縁膜である。そして、ゲート絶縁膜33のゲート電極32と対向する部分には、例えばn型の水素化アモルファスシリコン（以下、a-Si:Hと称す）からなる半導体層38がプラズマCVD法を利用して形成されている。更に、半導体層38上には互いに電気的に分離されたp型a-Si:Hからなるドレイン領域41とソース領域42が、同じくプラズマCVD法を利用して設けられている。そして、半導体層38のソース領域42側に隣接するゲ-

ト絶縁膜33上には、例えばITO（インジウム・チン・オキサイド）膜をスパッタ法で被覆した後、所定の形状にフォトリソエッチングすることにより表示電極36、第1及び第2補助容量電極36a、36bが一括形成されている。また、ソース領域42にはソース電極37の一端が接続され、ソース電極37の他端は表示電極36上に延在して接続されている。更に、ドレイン領域41にはドレイン電極35の一端が接続されている。ここで、ソース電極37とドレイン電極35とは、例えばMo膜とAl膜をスパッタ法で順次被覆した後、所定の形状にフォトリソエッチングするという同じ工程で形成しており、また、列選択線34もソース電極37及びドレイン電極35と同じ工程で形成している。こうして、所望のアレイ基板43が得られる。一方、例えばガラスからなる絶縁基板44の一主面上には、例えばITOからなる共通電極45が形成されることにより、対向基板46が形成されている。そして、アレイ基板43の一主面上には、更に全面に例えば低温キュア型の

のポリイミドからなる配向膜47が形成されており、また、対向基板46の一主面上にも全面に同じく、例えば低温キュア型のポリイミドからなる配向膜48が形成されている。そして、アレイ基板43と対向基板48の一主面上に、各々の配向膜47、48を所定の方向に布等でこすることにより、ラビングによる配向処理がそれぞれ施されるようになる。更に、アレイ基板43と対向基板48は互いの一主面側が対向し且つ互いの配向膜が概略90°をなすように組み合わせられ、これにより得られる間隙には液晶49が挟持されている。そして、アレイ基板43と対向基板48の他主面側には、それぞれ偏光板50、51が被覆されており、アレイ基板43と対向基板48のどちらか一方の他主面側から照明を行う形になっている。

この実施例では、補助容量部の×印に表示電極36・補助容量線40間にショートが発生した場合、まず、破線②に沿ってレーザーカッティングを行い、欠陥が生じた第1補助容量電極36aを表示電極36から切り離す。この時点では、表示

電極36は画素欠陥にはならないものの、上述したように周辺正常画素との画素電極電位差が生じ、表示品位を落としてしまう。そこで次に、表示電極36・第2補助容量電極36b間に形成され電気的に浮遊させてあった導電体39とそれぞれの電極とのレーザーボンディングを行い、ソース電極37に接続された表示電極36と、この表示電極36から浮遊させてあった第2補助容量電極36bを電気的に接続する。このとき、レーザーカッティングにより切り離した第1補助容量電極36aで形成される補助容量と、レーザーボンディングで接続した第2補助容量電極36bで形成される補助容量を同等にしておくことにより、補修を行っても周辺正常画素との画素電極電位差がない、即ち、補修後に周辺正常画素との視認差がなくて表示品位のよいアクティブマトリックス型液晶表示装置が得られる。

【発明の効果】

この発明は、画素の形成要素の形状・配列を工夫することにより、画素欠陥を完全に補修し、画

素欠陥のほとんどない高い表示品位を有するアクティブマトリックス型液晶表示装置を実現する。

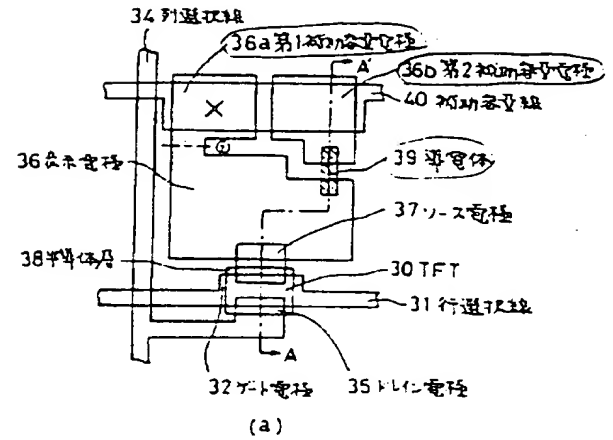
4. 図面の簡単な説明

第1図はこの発明の一実施例におけるアレイ基板上の一画素部分の平面図及びTFT部断面図、第2図は従来のアクティブマトリックス型液晶表示装置の一例における駆動原理を説明するための図、第3図は従来のアクティブマトリックス型液晶表示装置の一例における一画素部分の平面図及びTFT部断面図分を示す平面図である。

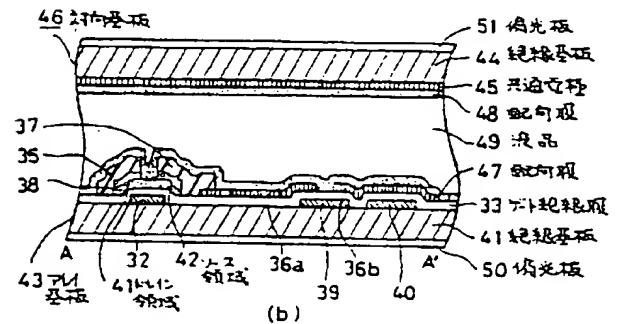
- 30…TFT, 31…行選択線
- 32…ゲート電極, 33…ゲート絶縁膜
- 34…列選択線, 35…ドレイン電極
- 36…表示電極,
- 36a…第1補助容量電極,
- 36b…第2補助容量電極,
- 37…ソース電極, 38…半導体層
- 39…導電体, 40…補助容量線
- 41, 44…絶縁基板,
- 43…アレイ基板, 45…共通電極

46...対向基板、 49...液晶

代理人 井理士 則 近 意 佑
同 竹 花 吾 久 男

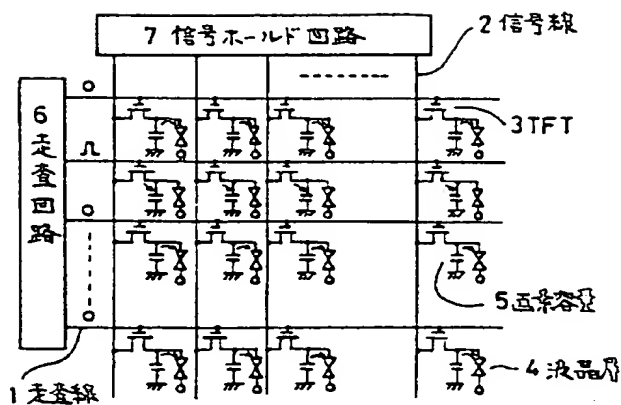


(a)

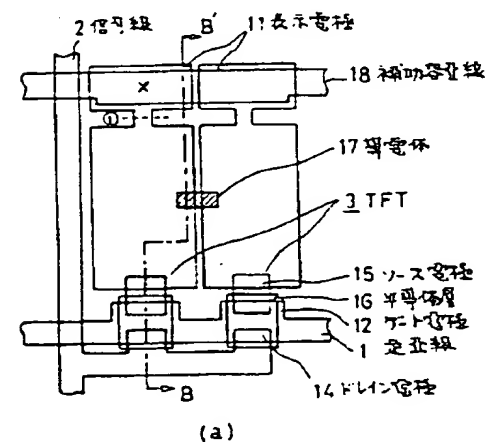


(b)

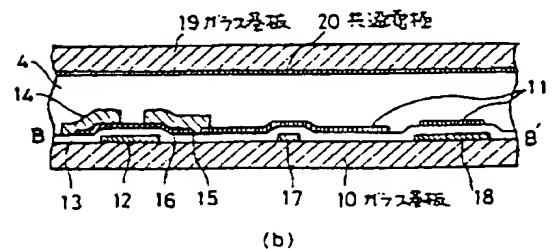
第 1 図



第 2 図



(a)



(b)

第 3 図

第1頁の続き

⑤Int. Cl.³

H 01 L 27/12
29/784

識別記号

A

庁内整理番号

7514-4M

⑦発明者 木星 登紀夫 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場
内